

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199665

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶

H 0 1 L 25/00

識別記号

庁内整理番号

F I

H 0 1 L 25/00

技術表示箇所

A

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平8-4331

(22) 出願日

平成8年(1996)1月12日

(71) 出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者

馬場 俊二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者

藤井 明

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人

弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】 実装装置

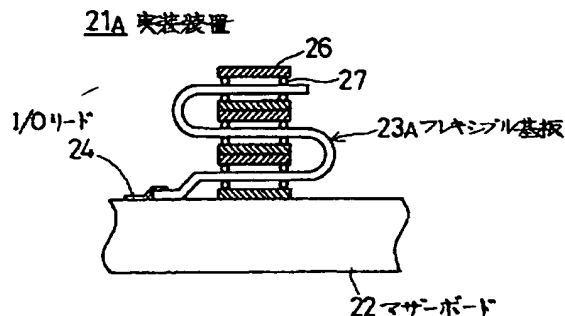
(57) 【要約】

【目的】

【課題】 本発明は基板上に所定数の半導体チップを実装する実装装置に関し、高密度実装、低コスト化を図り、放熱性の向上を図ることを目的とする。

【解決手段】 マザーボード22上に、所定数の半導体チップ26が実装されたフレキシブル基板23Aを折り重ねるように折曲して搭載し、マザーボード22の配線パターンとフレキシブル基板23Aの配線パターンに対応するI/O端子とを所定数のI/Oリード24により電気的接続を行って実装された構成とする。

本発明の第1実施例の構成図



【特許請求の範囲】

【請求項 1】 一方面又は両面に所定の配線パターンが形成され、少なくとも一端に所定数の外部接続用端子が形成されて、所定の電子部品が所定数実装された可撓性基板と、

所定の配線パターンが形成された実装基板と、

該実装基板上に該可撓性基板が所定形状に折曲されて搭載され、該実装基板上の配線パターンにおける端子部分と該可撓性基板の外部接続用端子との電氣的接続を行う所定数のリード部と、

を有することを特徴とする実装装置。

【請求項 2】 請求項 1 記載の可撓性基板は、一方面又は両面の所定位置に所定組の内部接続用端子が形成され、前記実装基板上における折曲形状で対応する該内部接続用端子間で電氣的接続されてなることを特徴とする実装装置。

【請求項 3】 請求項 1 又は 2 において、前記実装基板上に所定形状で折曲された前記可撓性基板に実装された所定数の前記電子部品に対して接触される一体の放熱部材が設けられることを特徴とする実装装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に所定数の電子部品を実装する実装装置に関する。近年、コンピュータ等の情報、通信の分野では高性能化が進み、搭載される実装基板に対して半導体チップ等の実装密度の向上が望まれている。

【0002】

【従来の技術】 従来、実装基板は搭載される機器の設置スペースの制約を受けて許容される大きさの基板内に多数の部品が最大限に実装状態とされる。そこで、図 11 に、従来の実装基板の構成図を示す。図 11 (A) に示す実装基板 11 は、例えばガラスエポキシ等で形成されたプリント基板 12 には両面に配線パターンが形成され、両面の配線パターンはスルーホールにより適宜電氣的導通が行われる。このプリント基板 12 の両面に、配線パターンに対応する半導体チップ 13 が所定数のバン

プ 14 でフリップチップにより所定数実装される。【0003】 また、図 11 (B) に示す実装基板 15 は、両面に配線パターンが形成されたプリント基板 16 の一方面に半導体チップ 13 がバン

プ 14 でフリップチップにより所定数実装された基板 17 を所定数積み重ね、隣接するプリント基板 16 間をコネクタ 18 で電氣的接続されたものである。なお、コネクタ 18 に代えてフレキシブル基板で電氣的接続を行うことも知られている。

【0004】 上述のような実装基板 11、15 は、例えばマザーボードに接続され、又は PC カード (PCMCIA (Personal Computer Memory Card International As

sociation) に準じた IC カード) に、規格寸法 (TYPE I で厚さ 3.3 mm, TYPE II で厚さ 5 mm, TYPE III で厚さ 10 mm) に応じて内蔵されるものである。

【0005】

【発明が解決しようとする課題】 しかし、図 11

(A)、(B) に示すような実装では、設置スペースで制約されたプリント基板の寸法内で搭載する電子部品

(半導体チップ) の個数に限度があり、さらなる高密度

実装を図ることが困難であるという問題がある。加えて、プリント基板 12、16 がスルーホールで両面に配線パターンを形成することは、スルーホールのランド部分でパターン密度の向上の妨げとなるという問題がある。さらに、実装される半導体チップ 13 等は高集積化が進み、その発熱量が増大する中で効率よくかつ小型で放熱することが困難であるという問題がある。

【0006】 そこで、本発明は上記課題に鑑みなされたもので、高密度実装、低コスト化を図り、放熱性の向上を図る実装装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記課題を解決するために、請求項 1 では、一方面又は両面に所定の配線パターンが形成され、少なくとも一端に所定数の外部接続用端子が形成されて、所定の電子部品が所定数実装された可撓性基板と、所定の配線パターンが形成された実装基板と、該実装基板上に該可撓性基板が所定形状に折曲されて搭載され、該実装基板上の配線パターンにおける端子部分と該可撓性基板の外部接続用端子との電氣的接続を行う所定数のリード部と、を有して実装装置が構成される。

【0008】 請求項 2 では、請求項 1 記載の可撓性基板は、一方面又は両面の所定位置に所定組の内部接続用端子が形成され、前記実装基板上における折曲形状で対応する該内部接続用端子間で電氣的接続されてなる。請求項 3 では、請求項 1 又は 2 において、前記実装基板上に所定形状で折曲された前記可撓性基板に実装された所定数の前記電子部品に対して接触される一体の放熱部材が設けられる。

【0009】 上述のように請求項 1 の発明では、実装基板上に所定数の電子部品が実装された可撓性基板を所定形状に折曲させて搭載し、実装基板上の配線パターンと可撓性基板の外部接続用端子とをリード部により電氣的接続させる。これにより、実装基板で制約されたスペースに可撓性基板で増加させた電子部品を結果的に高密度で実装されることとなり、高密度実装を実現することが可能となる。

【0010】 請求項 2 の発明では、可撓性基板の両面に所定数の内部接続用端子が形成されて折曲形状で内部接続用端子間を電氣的接続する。これにより、電子部品が実装される可撓性基板にスルーホールを形成することが

不要となり、パターン密度の向上、及びスルーホール形成加工の削減から低コスト化を図ることが可能となる。

【0011】請求項3の発明では、実装基板上で折曲形状の可撓性基板に実装された所定数の電子部品に接触される一体の放熱部材で放熱を行わせる。これにより、放熱効率の向上、及び放熱用部材の単一化、部品点数の削減、組立工数の削減による低コスト化を図ることが可能となる。

【0012】

【発明の実施の形態】図1に、本発明の第1実施例の構成図を示す。また、図2に図1のフレキシブル基板の構成図を示す。図1に示す実装装置21Aは、実装基板であるマザーボード22上に可撓性基板であるフレキシブル基板23Aが所定形状で折曲されて搭載され、リード部であるI/Oリード24で電氣的接続されて実装されたものである。

【0013】フレキシブル基板23Aは、帯状のフィルムベースの両面に金(Au)等による所定の配線パターンが形成されたものであって、図2(B)に示すように一端に所定数の外部接続用端子であるI/O端子25a、25b(25bは裏面であり、図に表われず)が形成されている。そして、図2(A)、(B)に示すように、フレキシブル基板23Aの両面の所定配線パターン上に電子部品としての半導体チップ26が対応する所定数のパンプ27により所定数電氣的接続されて2次元的に実装される。

【0014】図1に戻り、マザーボード22は例えばガラスエポキシ等で一方面に所定の配線パターンが形成されたもので、このマザーボード22にまずフレキシブル基板23Aが横方向(半導体チップ26がマザーボード22と平行となる方向)に折り重ねるように折曲して搭載される。このとき、フレキシブル基板23Aの裏面(マザーボード22側の面)に形成されたI/O端子(25b)がマザーボード22上の配線パターンの所定部分と直接に半田等により電氣的接続される。そして、フレキシブル基板23Aの表面のI/O端子25aが、マザーボード22上の配線パターンの所定部分とI/Oリード24を介して半田等により電氣的接続される。

【0015】I/Oリード24は、例えばフレキシブル基板23AのI/O端子25aに対するパターンが形成されたテプリードであり、各I/O端子25aごとに介在される。なお、所定数のI/Oリード24を一体としたテプリードであってもよい。

【0016】すなわち、半導体チップ26は、マザーボード22上にフレキシブル基板23Aを介して3次元的な状態となり、高さ方向に寸法の許容される限度で2次元的実装に比べて高密度実装を実現することができるものである。そして、適宜半導体チップ26をマザーボード22上でモールド樹脂等により封止し、一般的な電子機器に搭載され、又はPCカード等に内蔵されるもので

ある。

【0017】ところで、フレキシブル基板23Aは、上述のように両面に形成する配線パターンはI/O端子25a、25bで外部との接続を行うようにしていることから、スルーホールを形成して両面の所定の配線パターンを接続する必要がなく、これによるランド等の形成が不要となってパターン密度を向上させることができると共に、スルーホールを形成するための孔形成工程やめっき工程等を削減することができ、フレキシブル基板23のコストダウンが図られ、結果的に低コスト化を図ることができるものである。

【0018】続いて、図3に、第1実施例の他の実施例の構成図を示す。図3に示す実装装置21Bは、上述の図2に示すフレキシブル基板23をマザーボード22上で、半導体チップ26がマザーボード22と垂直方向になるように折り重ねて折曲して搭載させたもので、マザーボード22の所定の配線パターンに、フレキシブル基板23Aの裏面のI/O端子(25b)を接続すると共に、表面のI/O端子25aをI/Oリード24を介して接続することは図1と同様である。

【0019】次に、図4に、本発明の第2実施例の構成図を示す。図4(A)は平面図、図4(B)は側面図である。図4に示す実装装置21Cは、例えば上述の図3に示す実装装置21Bにおいて、折曲したフレキシブル基板23Aの各半導体チップ26に接触される所定数のフィン部28aを一体に形成した放熱部材である放熱板28を取り付けたものである。

【0020】すなわち、折曲されたフレキシブル基板23Aの両面に実装された半導体チップ26は同一方向に並べることができることから、その並び方向から放熱板28を取り出すことにより、複数個の半導体チップ26を単一の放熱板28で一括で放熱することができるものである。これにより、複数個の放熱部材を取り付ける必要がなくなり、部品点数の削減、組み立て工数の削減が図られ、低コスト化とすることができるものである。

【0021】なお、放熱板28の取り付けは、図3に示す場合に限らず、図1のような折曲形状であっても行うことができると共に、後述の第3～第5実施例においても適用することができるものである。次に、図5に、本発明の第3実施例の構成図を示す。また、図6に、図5のフレキシブル基板の構成図を示す。図5に示す実装装置21Dは、マザーボード22上で半導体チップ26を実装したフレキシブル基板23Bを輪状にして搭載し、マザーボード22の配線パターンと該フレキシブル基板23Bとを所定数のI/Oリード24で接続を行ったものである。

【0022】ここで、図6(A)～(C)において、フレキシブル基板23Bには表面23aで図6(B)に示すように、形成される所定の配線パターンに対して一方端に外部接続用端子であるI/O端子25aが形成され

5

ると共に、他方端に所定の配線パターンに対する所定数の第1の内部接続用端子29が組として形成される。また、フレキシブル基板23Bの裏面23bにはI/O端子25aに対する一方端側の該裏面に、形成された所定の配線パターンに対応すると共に、第1の内部接続用端子29に対応する所定数の第2の内部接続用端子30が組として形成される。

【0023】そして、フレキシブル基板23Bの両面で半導体チップ26がパンプ27により所定数(図5及び図6では各面で2個ずつ)実装されたものである。そこで、図5に戻り、フレキシブル基板23Bを輪状にする場合に、第1の内部接続用端子29と第2の内部接続用端子30とを接続する。これによって、フレキシブル基板23Bの表面23aの配線パターンと裏面23bの配線パターンとが必要に応じて電氣的接続されることになり、特にスルーホールを形成する必要がなく、上述のようにパターン密度が向上され、またスルーホール形成のための孔形成工程やめっき工程等を削減することができる。

【0024】なお、フレキシブル基板23Bが多層構造として専用の電源パターンやGNDパターン(複数種の電源系、GND系を有する)を有する場合は、電源パターンやGNDパターンへの接続としてスルーホールが必要となるが、少なくとも信号系のスルーホールは不要であり、パターン密度を向上させることができるものである。

【0025】次に、図7に、本発明の第4実施例の構成図を示す。また、図8に、図7のフレキシブル基板の構成図を示す。図7に示す実装装置21Eは、図5及び図6の発展型であり、マザーボード22上に実装されるフレキシブル基板23Cが例えば2ヶ所でそれぞれの対応する内部接続用端子同士を接続して輪状としたものである。

【0026】すなわち、図8(A)～(C)において、フレキシブル基板23Cの表面23aには図6に示す外に、第1の内部接続用端子29の組より半導体チップ26を挟んで所定数の第3の内部接続用端子31の組が形成されると共に、裏面23bに上記第2の内部接続用端子30の組より半導体チップ26を挟んで所定数の第4の内部接続用端子32の組が形成されたものである。

【0027】そして、図7に示すように、第1の内部接続用端子29の組と第4の内部接続用端子32の組とを電氣的接続すると共に、第2の内部接続用端子30の組と第3の内部接続用端子31の組とを電氣的接続するものである。これによっても、第3実施例と同様にパターン密度の向上、低コスト化を図ることができるものである。

【0028】次に、図9に、本発明の第5実施例の構成図を示す。また、図10に、図9のフレキシブル基板の構成図を示す。図9に示す実装装置21Fは、マザーボ

6

ード22上で半導体チップ26を所定数実装したフレキシブル基板23Dを180度振って輪状に折曲して実装したものである。

【0029】そこで、図10(A)～(D)において、フレキシブル基板23Dの表面23aには図6(B)のように一方端にI/O端子25aの組と他方端に第1の内部接続用端子29の組とが形成されており、裏面25bにはI/O端子25aに対応する位置に第4の内部接続用端子32の組と他方端に所定数の第2のI/O端子25cの組が形成される(図10(B)、(C))。

【0030】そこで、フレキシブル基板23Dを図10(D)に示すように180°振じり、図9に示すように第1の内部接続用端子29の組と、第2の内部接続用端子の組とを電氣的接続を行い、かつ第2のI/O端子25cをI/Oリード24によりマザーボード22の所定の配線パターンに接続するものである。

【0031】このように実装することによっても、上述と同様にスルーホールの形成を不要としてパターン密度の向上、低コスト化を図ることができるものである。上述のように、複数の半導体チップ26等のような電子部品を小なる面積上に実装することができると共に、スルーホールを不要としてパターン密度の向上及び低コスト化が図られ、また単一の放熱板28で効率よくかつ低コストで放熱を行うことができるものである。

【0032】

【発明の効果】以上のように請求項1の発明によれば、実装基板上に所定数の電子部品が実装された可撓性基板を所定形状に折曲させて搭載し、実装基板上の配線パターンと可撓性基板の外部接続用端子とをリード部により電氣的接続させることにより、実装基板で制約されたスペースに可撓性基板で増加させた電子部品を結果的に高密度で実装されることとなり、高密度実装を実現することができる。

【0033】請求項2の発明によれば、可撓性基板の両面に所定数の内部接続用端子が形成されて折曲形状で内部接続用端子間を電氣的接続することにより、電子部品が実装される可撓性基板にスルーホールを形成することが不要となり、パターン密度の向上、及びスルーホール形成加工の削減から低コスト化を図ることができる。

【0034】請求項3の発明によれば、実装基板上で折曲形状の可撓性基板に実装された所定数の電子部品に接触される一体の放熱部材で放熱を行わせることにより、放熱効率の向上、及び放熱部材の単一化、部品点数の削減、組立工数の削減による低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の構成図である。

【図2】図1のフレキシブル基板の構成図である。

【図3】第1実施例の他の実施例の構成図である。

【図4】本発明の第2実施例の構成図である。

10

20

30

40

50

7

8

【図5】本発明の第3実施例の構成図である。

【図6】図5のフレキシブル基板の構成図である。

【図7】本発明の第4実施例の構成図である。

【図8】図7のフレキシブル基板の構成図である。

【図9】本発明の第5実施例の構成図である。

【図10】図9のフレキシブル基板の構成図である。

【図11】従来の実装基板の構成図である。

【符号の説明】

21A ~ 21F 実装装置

22 マザーボード

33A ~ 33D フレキシブル基板

24, 33 I/Oリード

25a ~ 25c I/O端子

26 半導体チップ

28 放熱板

29 第1の内部接続用端子

30 第2の内部接続用端子

31 第3の内部接続用端子

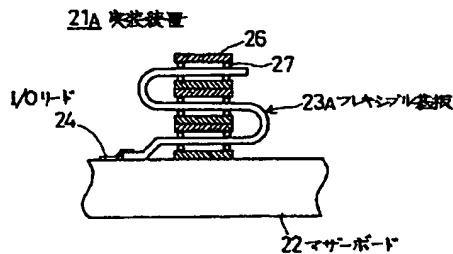
32 第4の内部接続用端子

10

【図1】

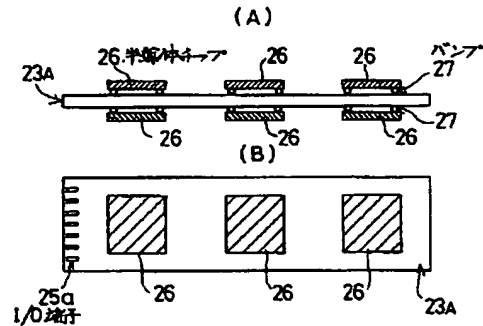
【図2】

本発明の第1実施例の構成図



【図3】

図1のフレキシブル基板の構成図

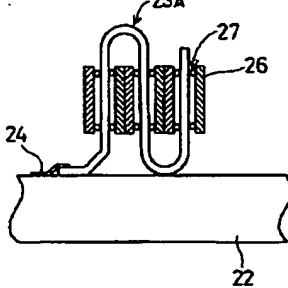


第1実施例の他の実施例の構成図

【図4】

【図5】

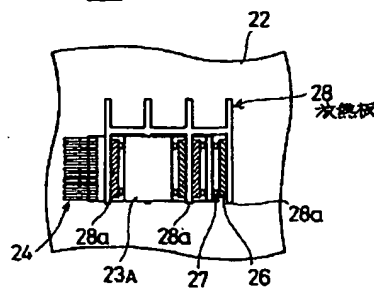
21b



【図9】

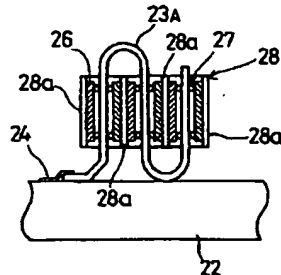
本発明の第2実施例の構成図

21c (A)



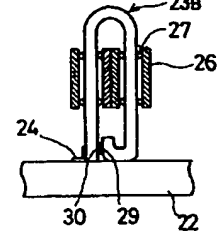
(B)

21c



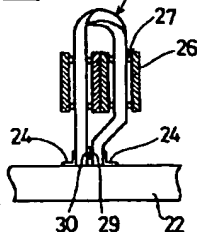
本発明の第3実施例の構成図

21d



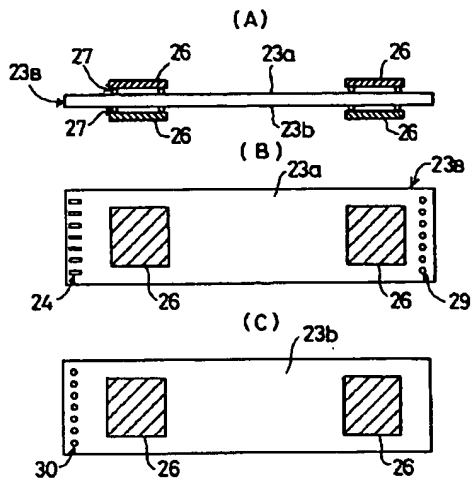
本発明の第5実施例の構成図

23f



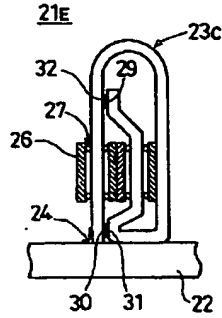
【図 6】

図5のフレキシブル基板の構成図



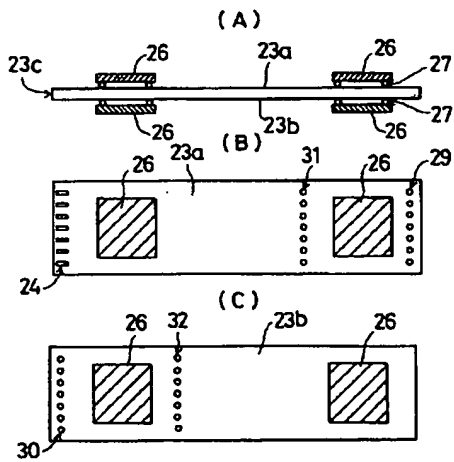
【図 7】

本発明の第4実施例の構成図



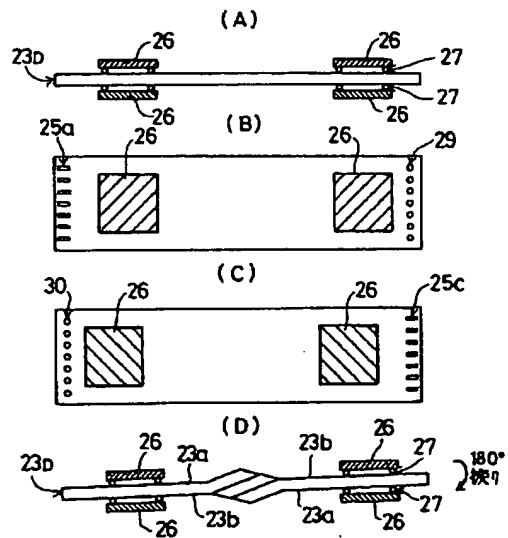
【図 8】

図7のフレキシブル基板の構成図



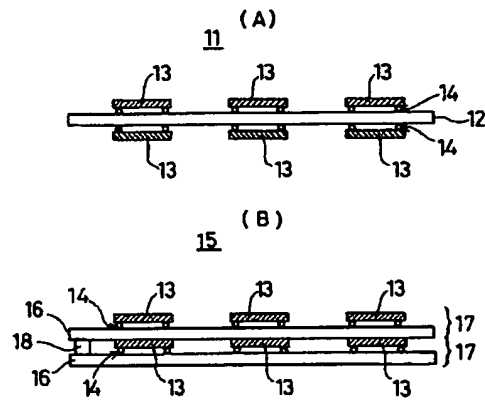
【図 10】

図9のフレキシブル基板の構成図



【図11】

従来の実装基板の構成図



フロントページの続き

(72) 発明者 瀬山 清隆
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 角井 和久
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内